

(12) SOLICITUD INTERNACIONAL PUBLICADA EN VIRTUD DEL TRATADO DE COOPERACIÓN
EN MATERIA DE PATENTES (PCT)

(19) Organización Mundial de la Propiedad
Intelectual
Oficina internacional



(43) Fecha de publicación internacional
3 de Enero de 2008 (03.01.2008)

PCT

(10) Número de Publicación Internacional
WO 2008/000858 A1

(51) Clasificación Internacional de Patentes:
G01R 31/02 (2006.01) **G01R 21/00** (2006.01)

[ES/ES]; C/ Mare Deu Salut, 89, E-08024 Barcelona (ES).
GONZALEZ, José [ES/ES]; C/ Bartolomeu Amat 2,
60-2a, Terrasa, E-08225 Barcelona (ES). **GONZÁLEZ**,
Antonio [ES/US]; 2200 Mission College Boulevard, Santa
Clara, California 95052 (US).

(21) Número de la solicitud internacional:
PCT/ES2006/070093

(74) Mandatario: **ELZABURU**, Alberto de; Elzaburu, S.A.,
Miguel Angel, 21, E-28010 Madrid (ES).

(22) Fecha de presentación internacional:
30 de Junio de 2006 (30.06.2006)

(81) Estados designados (*a menos que se indique otra cosa, para toda clase de protección nacional admisible*): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(25) Idioma de presentación: español

(26) Idioma de publicación: español

(71) Solicitante (*para todos los Estados designados salvo US*):
INTEL CORPORATION [US/US]; 2200 Mission College Boulevard, Santa Clara, CA 95052 (US).

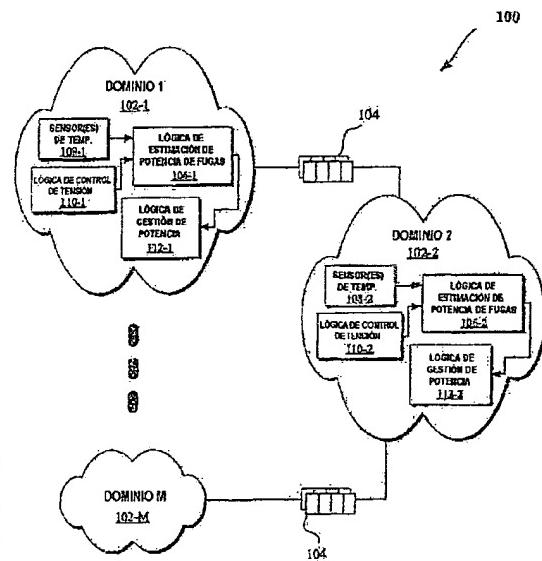
(72) Inventores; e

(75) Inventores/Solicitantes (*para US solamente*): **CHAPARRO MONFERRER**, Pedro [ES/ES]; Calabria 55, 3o-4a, E-08530 Barcelona (ES). **MAGKLIS**, Grigoris

[Continúa en la página siguiente]

(54) Title: LEAKAGE POWER ESTIMATION

(54) Título: ESTIMACIÓN DE LA POTENCIA DE FUGAS



DOMINIO DOMAIN

SENSOR(ES) DE TEMP. TEMP. SENSOR(S)

LÓGICA DE CONTROL DE TENSIÓN VOLTAGE

CONTROL LOGIC

LÓGICA DE ESTIMACIÓN DE POTENCIA DE FUGAS LEAKAGE POWER ESTIMATION LOGIC

LÓGICA DE GESTIÓN DE POTENCIA

POWER MANAGEMENT LOGIC

(57) Abstract: The invention concerns methods and devices for providing leakage power estimation. In one embodiment, one or more detected temperature values (108) and one or more voltage values (110) are used to determine the leakage power of an integrated circuit (IC) component. The invention further relates to other embodiments.

(57) Resumen: Se describen métodos y aparatos para proporcionar una estimación de la potencia de fugas. En una realización, se utilizan uno o más valores de temperatura detectados (108) y uno o más valores de tensión (110) para determinar la potencia de fugas de un componente de circuito integrado (IC -"integrated circuit"). Se describen también otras realizaciones.

WO 2008/000858 A1



(84) **Estados designados (a menos que se indique otra cosa, para toda clase de protección regional admisible):** ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), euroasiática (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europea (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Para códigos de dos letras y otras abreviaturas, véase la sección "Guidance Notes on Codes and Abbreviations" que aparece al principio de cada número regular de la Gaceta del PCT.

Publicada:

— *con informe de búsqueda internacional*

ESTIMACIÓN DE LA POTENCIA DE FUGAS

ANTECEDENTES

5 La presente invención se refiere generalmente al campo de la electrónica. Más particularmente, una realización de la invención se refiere la estimación de la potencia de fugas en un dispositivo de circuito integrado (IC- "integrated circuit").

10 El consumo de potencia, tanto dinámica como de fugas, es una de las preocupaciones principales en el diseño de un IC. En particular, las fugas por debajo de un umbral (o potencia de fugas) pueden ser crecientes con cada generación sucesiva de diseños. Por ejemplo, a medida que se reduce la potencia de suministro (por ejemplo, para reducir el consumo de potencia dinámica), puede reducirse también 15 la tensión de umbral (por ejemplo, para mantener un bajo retardo de puerta o una alta frecuencia). Sin embargo, la reducción de la tensión de umbral puede afectar de forma no lineal a la potencia de fugas.

20 En algunas implementaciones, puede suponerse que la potencia de fugas tiene un valor constante durante el tiempo de funcionamiento. Sin embargo, la potencia de fugas puede variar durante el tiempo de funcionamiento, por ejemplo, debido a cambios en la temperatura, en la tensión de suministro o en la tensión de umbral. De acuerdo con ello, las técnicas de gestión de la potencia pueden ser menos precisas si no se conoce la potencia de fugas.

25

BREVE DESCRIPCIÓN DE LOS DIBUJOS

La descripción detallada se proporciona con referencia a las figuras que se acompañan. En las figuras, el dígito o dígitos más a la 30 izquierda de un número de referencia identifican la figura en la que aparece por primera vez el número de referencia. El uso de los mismos números de referencia en diferentes figuras indica elementos similares o idénticos.

Las Figuras 1, 5 y 6 ilustran diagramas de bloques de 35 sistemas de computación de acuerdo con diversas realizaciones de la invención.

Las Figuras 2A y 2B ilustran diagramas de bloques de partes de sistemas de estimación de potencia de fugas, de acuerdo con varias realizaciones.

La Figura 3 ilustra un diagrama de bloques de un núcleo de procesador, de acuerdo con una realización.

La Figura 4 ilustra un diagrama de flujo de un método de acuerdo con una realización.

DESCRIPCIÓN DETALLADA

En la siguiente descripción se exponen numerosos detalles específicos con el fin de proporcionar una comprensión exhaustiva de las diversas realizaciones. Sin embargo, pueden ponerse en práctica las diversas realizaciones de la invención sin los detalles específicos. En otros casos, no se han descrito en detalle métodos, procedimientos, componentes ni circuitos bien conocidos, de manera que no se oscurezcan las realizaciones particulares de la invención. Pueden llevarse a la práctica diversos aspectos de ciertas realizaciones de la invención con el uso de medios diversos, tales como circuitos semiconductores integrados (“hardware” o dispositivos físicos), instrucciones legibles por parte de una computadora y organizadas dentro de uno o más programas (“software” o programación), o bien alguna combinación de hardware y software. Para los propósitos de esta descripción, la referencia a “lógica” significará ya sea hardware, ya sea software, o bien una combinación de ellos.

Algunas de las realizaciones que se explican aquí pueden proporcionar una técnica eficaz para estimar la potencia de fugas (por ejemplo, una potencia de fugas estática o por debajo de un umbral, generada por uno o más componentes de un dispositivo de IC). En una realización, el consumo de potencia de fugas puede ser debido a una o más variaciones tales como variaciones en la temperatura o en la tensión (por ejemplo, en la tensión de umbral y/o de suministro). Por otra parte, algunas de las realizaciones que aquí se explican pueden ser aplicadas a diversos sistemas de computación, tales como los sistemas de computación que se explican con referencia a las Figuras 1, 5 y 6. Más concretamente, la Figura 1 ilustra un diagrama de bloques de un sistema de computación 100 de acuerdo con una realización. El sistema 100

puede incluir uno o más dominios 102-1 a 102-M (a los que se hace referencia aquí colectivamente como “dominios 102” o “dominio 102”). Cada uno de los dominios 102-1 a 102-M puede incluir diversos componentes, pero, en aras de la claridad, tan solo se muestran 5 componentes de muestra con referencia a los dominios 102-1 y 102-2. También, cada dominio 102 puede corresponder a una parte de un sistema de computación (tal como los componentes que se explican con referencia a las Figuras 5 y 6, ó bien, más generalmente, a uno o más transistores de un dispositivo de IC). En una realización, cada uno de los 10 dominios 102 puede incluir varios circuitos (o lógica) cuya cadencia se regula por medio de una señal de reloj que puede ser diferente de la señal de reloj utilizada en otros dominios. En una realización, una o más de estas señales de reloj pueden ser meso-sincrónicas o estar 15 relacionadas de otra manera (por ejemplo, con una relación que puede o no repetirse a lo largo del tiempo).

Como se ilustra en la Figura 1, cada dominio puede comunicar datos con otros dominios a través de uno o más registros de almacenamiento intermedio 104. En una realización, los registros de almacenamiento intermedio 104 pueden ser registros de almacenamiento 20 intermedio de estructura de primero en entrar-primero en salir (FIFO – “first-in, first-out”). Cada dominio puede incluir una lógica para estimar la potencia de fugas de uno o más componentes dentro del dominio correspondiente (tales como lógicas 106-1 y 106-2 que se muestran en relación con los dominios 102-1 y 102-2, respectivamente, y a las que se 25 hace referencia aquí generalmente como “lógica 106” o “lógicas 106”), uno o más sensores de temperatura (tales como el (los) sensor(es) 108-1 y 108-2, que se muestran, respectivamente, con referencia a los dominios 102-1 y 102-2), una lógica para controlar los niveles de frecuencia y/o de tensión, y/o para proporcionar valores instantáneos o presentes en ese 30 momento de tensión de umbral y/o de tensión de suministro (por ejemplo, las lógicas 110-1 y 110-2 que se muestran con referencia a los dominios 102-1 y 102-2, respectivamente), así como una lógica para gestionar el consumo de potencia de uno o más componentes del dominio correspondiente (tales como las lógicas 112-1 y 112-2 que se muestran 35 con referencia a los dominios 102-1 y 102-2, respectivamente, y a las que se hace referencia aquí generalmente como “lógica 112” o “lógicas

112"). En una realización, la tensión de umbral de un transistor puede ser ajustada mediante la aplicación de una corriente al cuerpo (o sustrato) del transistor.

En diversas realizaciones, la lógica 112 de gestión de 5 potencia puede ajustar el consumo de potencia de un o más componentes de un dominio correspondiente. Por ejemplo, la lógica 112 puede utilizar información tal como el valor de estimación de potencia de fugas (proporcionado, por ejemplo, por la lógica correspondiente 106), la estimación de potencia dinámica y/o alguna otra información (por 10 ejemplo, las instrucciones entregadas por ciclo, los fallos de memoria caché, etc.) con el fin de ajustar la tensión de suministro y/o la tensión de umbral de uno o más componentes del dominio correspondiente. También, la lógica 112 puede ajustar la frecuencia de una señal de reloj (por ejemplo, una señal de reloj que se utiliza dentro de al menos una 15 parte del dominio correspondiente). En una realización, la lógica 112 puede desconectar o apagar uno o más componentes tales como: uno o más núcleos de procesador o partes de núcleos de procesador (por ejemplo, conducciones troncales diferentes, etc.), y/o memorias caché de datos (por ejemplo, que incluyan varios niveles de memorias caché, tales 20 como el nivel 1 (L1), el nivel 2 (L2) u otros niveles), o partes de memorias caché de datos (por ejemplo, diferentes bancos o memorias caché).

Las Figuras 2A y 2B ilustran diagramas de bloques de partes de sistemas 200 y 250 de estimación de potencia de fugas, de acuerdo 25 con diversas realizaciones. En una realización, los sistemas 200 y 250 pueden ser los mismos que la lógica 106 explicada en relación con la Figura 1, ó similares a ella. En una realización, las unidades de almacenamiento explicadas con referencia a las Figuras 2A y 2B pueden ser las mismas que los componentes de memoria explicados con 30 referencia a las Figuras 5 y/o 6, ó similares a ellos.

Como se muestra en las Figuras 2A y 2B, los sistemas 200 y 250 pueden incluir una unidad de almacenamiento 202 de factor de regulación de la escala de temperatura (por ejemplo, con el fin de almacenar una pluralidad de valores de factor de regulación de escala de 35 temperatura). La(s) unidad(es) de almacenamiento 202 pueden recibir valores de temperatura detectados desde los sensores 108 que

corresponden a uno o más componentes tales como los que se han explicado con referencia a las Figuras 1, 5 y 6. El sistema 200 puede incluir también una unidad de almacenamiento 204 de factor de regulación de escala de tensión (por ejemplo, con el fin de almacenar una pluralidad de valores de factor de tensión), y una unidad de almacenamiento 206 de fugas de referencia (por ejemplo, para almacenar un valor de potencia de fugas de referencia o de base). El valor de fugas de base almacenado en la unidad de almacenamiento 206 puede ser determinado en el tiempo o fase de diseño (por ejemplo, a través de simulaciones o de mediciones de circuito), o bien en la fase de ensayo. Por ejemplo, el valor de fugas de base puede determinarse en la fase de diseño para los diseños en los que existe una variabilidad relativamente alta (ya que el valor de base puede calcularse independientemente para cada circuito integrado o chip y/o bloque con el fin de hacer posible la adaptación de las estimaciones a la especificidad de cada circuito).

En una realización, el sistema 200 puede incluir también una lógica de redondeo 210 con el fin de redondear los valores de temperatura recibidos desde los sensores 108 (por ejemplo, de tal manera que los valores detectados puedan ser redondeados a una valor más próximo almacenado en la unidad de almacenamiento 202). Una lógica de interpolación 212 puede interpolar los valores suministrados como salida por la unidad de almacenamiento 202 a la medición de temperatura real proporcionada por los sensores 108. Similarmente, el sistema 200 puede incluir una lógica 214 de redondeo de tensión (por ejemplo, para redondear valores de tensión de umbral y/o de suministro presentes en ese momento, a un valor más cercano almacenado en la unidad de almacenamiento 204), así como una lógica 218 de interpolación de tensión (por ejemplo, para interpolar los valores suministrados como salida por parte de la unidad de almacenamiento 204, a los valores de tensión reales proporcionados por la lógica de control 110). Un multiplicador 208 puede multiplicar el factor de regulación de escala de temperatura determinado (por ejemplo, consultado en la unidad de almacenamiento 202 basándose en los valores de temperatura detectados desde el (los) sensor(es) 108), el factor de regulación de escala de tensión determinado (por ejemplo, consultado en la unidad de almacenamiento 204 basándose en los valores de tensión presentes en ese

momento, proporcionados por la lógica 110), y el valor de fugas de referencia (procedente de la unidad de almacenamiento 206). El valor de multiplicación puede utilizarse entonces para gestionar los ajustes de potencia (por ejemplo, por parte de la lógica 112 de gestión de potencia), 5 tal y como se explica con referencia a la Figura 1.

Haciendo referencia a la Figura 2B, el sistema 250 puede incluir una unidad de almacenamiento 252 de fugas de referencia que almacena los valores de fugas de base para un conjunto de tensiones correspondiente. De acuerdo con ello, en una realización, una única 10 unidad de almacenamiento (252) puede almacenar valores que corresponden a una combinación de valores almacenada en la unidad de almacenamiento 206 de fugas de referencia de la Figura 2A, así como valores correspondientes almacenados en el almacenamiento 204 de factor de regulación de escala de tensión de la Figura 2A. Por ejemplo, 15 pueden indexarse o señalarse una pluralidad de valores de potencia de fugas por parte de un factor de temperatura (por ejemplo, proporcionado por el (los) sensor(es) 108) y de un factor de tensión (por ejemplo, correspondiente al valor de tensión de umbral y/o al valor de tensión de suministro proporcionados por la lógica 110). Dicha realización puede 20 hacer posible que una única consulta (por ejemplo, basada en los valores de tensión de umbral y/o de suministro instantáneos o presentes en ese momento, procedentes de la lógica 110) proporcione un valor de fugas de referencia que pueda ser regulado en escala por el factor de regulación de escala de temperatura consultado en la unidad de almacenamiento 202 25 (por ejemplo, basándose en el (los) valor(es) de temperatura detectados que son proporcionados por los sensores 108), a través de un multiplicador 254. Alternativamente, los valores almacenados en las unidades de almacenamiento 202, 204, 206 y/o 252 pueden ser combinados en una única unidad de almacenamiento (no mostrada) para 30 posibilitar que una única consulta proporcione un valor de fugas que corresponda al (a los) valor(es) de temperatura detectado(s) proporcionado(s) por los sensores 108 y/o a los valores de tensión de umbral y/o de suministro instantáneos procedentes de la lógica 110. Asimismo, el sistema 250 puede incluir lógica de redondeo y/o de 35 interpolación (que puede, por ejemplo, ser la misma que las lógicas 210, 212, 214 y/o 218 ó similar a ellas).

La Figura 3 ilustra un diagrama de bloques de un núcleo de procesador 300 de acuerdo con una realización. En una realización, el núcleo 300 puede representar diversos componentes que pueden estar presentes en un procesador o en un cierto número de procesadores (tales como los que se explican con referencia a las Figuras 5 y 6). El núcleo de procesador 300 puede incluir uno o más dominios tales como un dominio de memoria caché de segundo nivel 302, un dominio de terminal frontal o anterior 304 y uno o más dominios de terminal posterior 306. Los componentes dentro de cada uno de los dominios 302, 304 y 306 pueden ser regulados en su cadencia por medio de una señal de reloj diferente, tal y como se explica con referencia a la Figura 1. Por otra parte, cada uno de los dominios (por ejemplo, 302, 304 y 306) puede incluir más o menos componentes que los que se muestran en la Figura 3, en varias realizaciones.

El dominio 302 de memoria caché de segundo nivel (L2) puede incluir una memoria caché de L2 308 (por ejemplo, para almacenar datos que incluyen instrucciones), el (los) sensor(es) 108, así como las lógicas 106, 110 y 112. En una realización, la memoria caché de L2 308 puede ser compartida por múltiples núcleos existentes en un procesador de múltiples núcleos tal como los que se explican con referencia a las Figuras 5 y 6. Asimismo, la memoria caché de L2 308 puede estar sacada de la misma pastilla u oblea que los núcleos de procesador. En consecuencia, en diversas realizaciones de la invención, un procesador puede incluir los dominios 304 y 306, y puede incluir o no la memoria caché de L2 308.

Como se muestra en la Figura 3, el dominio de terminal anterior 304 puede incluir uno o más del (de los) sensor(es) 108, las lógicas 106, 110 y 112, un registro de almacenamiento intermedio 318 de reordenamiento, una unidad de redenominación y direccionamiento 320, una memoria caché 322 de instrucciones, una unidad de descodificación 324, un dispositivo regulador 326 de secuencia y/o una unidad de predicción 328 de rama. En una realización, el dominio de terminal anterior 304 puede incluir otros componentes tales como una unidad de búsqueda y carga de instrucciones.

Los dominios de terminal posterior 306 pueden incluir uno o más de entre un dominio 328 de memoria caché de primer nivel (L1) y

uno o más dominios de ejecución 330-1 a 330-N. El dominio 328 de memoria caché de primer nivel (L1) puede incluir una memoria caché de L1 332 (por ejemplo, para almacenar datos que incluyen instrucciones, el (los) sensor(es) 108, y las lógicas 106, 110 y 112. Por otra parte, los 5 dominios de ejecución 330-1 a 330-N pueden incluir una o más de entre una unidad de ejecución de enteros y/o una unidad de ejecución de coma flotante. Los dominios de ejecución 330-1 a 330-N pueden comprender, cada uno de ellos, una cola de emisión (338-1 a 338-N, respectivamente), un archivo de registro (340-1 a 340-N respectivamente), el (los) 10 sensor(es) 108, las lógicas 106, 110 y 112, y/o una unidad de ejecución (346-1 a 346-N, respectivamente).

En una realización, cada uno de los dominios 302, 304 y 306 puede incluir uno o más registros de almacenamiento intermedio 348 de estructura de primero en entrar-primer en salir (FIFO –“first-in, first-out”) con el fin de sincronizar la comunicación entre los diversos dominios de reloj (por ejemplo, entre los dominios 302, 304 y/o 306).

Adicionalmente, el núcleo de procesador 300 (y, en una realización, tal como la que se muestra en la Figura 3, los dominios de terminal posterior 306) puede incluir una interconexión o bus 350 con el 20 fin de facilitar la comunicación entre los diversos componentes del núcleo de procesador 300. Por ejemplo, una vez que se ha llevado a cabo con éxito una instrucción (por ejemplo, por parte de los dominios de ejecución 330-1 a 330-N), el paso o entrega de la instrucción puede ser comunicada al ROB 318 (por ejemplo, a través de la interconexión 350) 25 con el fin de retirar esa instrucción. De manera adicional, los dominios situados dentro del terminal posterior (por ejemplo, los dominios 328 y 330-1 a 330-N) pueden comunicarse a través de la interconexión 350. Por ejemplo, puede producirse la comunicación entre las unidades de ejecución (330-1 a 330-N) para instrucciones de conversión de tipo. 30 Otras operaciones y componentes adicionales de las Figuras 1-3 se explicarán con referencia al método 400 de la Figura 4.

Por otra parte, incluso aunque la Figura 3 ilustra el hecho de que cada uno de los dominios 302, 304 y 306 puede incluir el (los) sensor(es) 108 y las lógicas 106, 110 y 112, varios dominios pueden 35 compartir el (los) mismo(s) sensor(es) 108 y las lógicas 106, 110 y 112. Por ejemplo, es posible utilizar un único conjunto del (los) sensor(es)

108 y las lógicas 106, 110 y 112 para todos los dominios del núcleo de procesador 300.

La Figura 4 ilustra un diagrama de flujo de un método 400 para proporcionar la potencia de fugas estimada, de acuerdo con una 5 realización. En una realización, las operaciones del método 400 pueden llevarse a cabo por uno o más componentes, tales como los componentes que se explican con referencia a las Figuras 1-3 y 5-6.

Haciendo referencia a las Figuras 1-4, en una operación 402, el (los) sensor(es) 108 pueden detectar uno o más valores de temperatura 10 correspondientes a un dispositivo de IC. El (los) valor(es) de temperatura detectado(s) puede(n) utilizarse para determinar un factor de regulación de escala de temperatura (por ejemplo, desde la unidad de almacenamiento 202) en una operación 404. En la operación 404, puede determinarse también un factor de regulación de escala de tensión, según 15 se ha explicado con referencia a las Figuras 2A y 2B (por ejemplo, desde las unidades de almacenamiento 204 y/o 252). En una operación 406, los factores de regulación de escala determinados de la operación 404 pueden utilizarse entonces para regular en escala un valor de fugas de base (por ejemplo, almacenado en la unidad 206 y/o 252), tal y como se 20 ha explicado con referencia a las Figuras 2A y 2B. En una operación 408, puede generarse una señal (por ejemplo, por los multiplicadores 205 y 254) que se corresponde con una potencia de fugas estimada del dispositivo de IC. Como se ha explicado con referencia a la Figura 1, la 25 potencia de fugas estimada (408) puede utilizarse para ajustar el consumo de potencia de uno o más componentes de un sistema de computación (por ejemplo, los sistemas que se han explicado con referencia a las Figuras 1, 5 y/o 6).

En una realización puede utilizarse la siguiente ecuación para proporcionar la potencia de fugas estimada en la operación 408:

30

$$P(V_{dd}, V_{th}, T) = P_0 \cdot (V_{dd}/V_{dd0}) \cdot e^{\beta \cdot (V_{dd} - V_{dd0})} \cdot e^{\gamma \cdot (-|V_{th}| + |V_{th0}|)} \cdot e^{\delta(T - T_0)}$$

En la fórmula anterior, P corresponde al valor de potencia de fugas estimado, P_0 corresponde al valor de potencia de fugas de base (que 35 puede, por ejemplo, ser almacenado en las unidades 206 y/o 252), V_{dd} corresponde a la tensión de suministro (que puede ser proporcionada por

la lógica 110), V_{th} corresponde a la tensión de umbral (que puede ser proporcionada por la lógica 110), V_{dd0} corresponde a la V_{dd} a la que se han medido las fugas de base, V_{th0} corresponde a la V_{th} a la que se han medido las fugas de base, T al (a los) valor(es) de temperatura en ese 5 momento detectado(s) por el (los) sensor(es) 108, T_0 corresponde a la temperatura a la que se han medido las fugas de base, y δ , β y γ son constantes dependientes del circuito y ajustadas por el diseñador. En diversas realizaciones, los valores correspondientes al término $T(T) = e^{\delta(T-T_0)}$ pueden ser almacenados en la unidad de almacenamiento 202 y 10 los valores correspondientes al término $V(V_{dd}, V_{th}) = (V_{dd}/V_{dd0}) \cdot e^{\beta \cdot (V_{dd}-V_{dd0})} \cdot e^{\gamma \cdot (-|V_{th}| + |V_{th0}|)}$ pueden ser almacenados en las unidades de almacenamiento 204 (ó 252). En consecuencia, puede utilizarse un multiplicador (208, 254) para multiplicar los términos $T(T)$ y $V(V_{dd}, V_{th})$ para proporcionar el valor de P.

15 Por otra parte, en una realización, la calibración dinámica de un componente de IC puede llevarse a cabo en un modo libre o en vacío (por ejemplo, en el que no existe consumo de potencia dinámica). En dicha situación, el incremento de la temperatura (por encima de una temperatura ambiental controlada) en cada parte (por ejemplo, bloques) 20 del componente de IC puede ser dependiente de la potencia de fugas. Los sensores térmicos 108 que pueden estar instalados en los bloques, pueden informar de la temperatura estable (por ejemplo, tras un periodo de tiempo relativamente prolongado). Con el mapa o distribución de temperaturas, una herramienta (tal como un dispositivo de computación 25 que sea externo al componente de IC) puede deducir el mapa de potencias que está provocando ese escenario, por ejemplo, a través de una concepción inversa. Los valores de fugas pueden ser computados entonces basándose en las temperaturas estáticas de las partes (ya que pueden ser conocidas otras constantes, tales como la tensión de 30 suministro, la tensión de umbral y la temperatura ambiental). Una vez que se ha computado el mapa de potencias, éste puede almacenarse en el almacenamiento 206 de fugas de referencia. En una realización, puede utilizarse un micro-código especial dedicado para la comunicación entre el componente de IC que se está calibrando y el equipo de ensayo (por 35 ejemplo, para informar de las lecturas de temperatura y para llevar a cabo la actualización de las fugas de base).

La Figura 5 ilustra un diagrama de bloques de un sistema de computación 500 de acuerdo con una realización de la invención. El sistema de computación 500 puede incluir una o más unidades centrales de procesamiento (CPUs –“central processing units”) 502 ó procesadores que se comunican a través de una red de interconexión (o bus) 504. Los procesadores 502 pueden consistir en cualquier tipo de procesador, tal como un procesador de propósito general, un procesador de red (que procesa o trata los datos comunicados por una red informática 503), u otros tipos de procesadores (incluyendo un procesador de computadora de conjunto de instrucciones reducidas (RISC –“reduced instruction set computer”) o una computadora de conjunto de instrucciones complejas (CISC –“complex instruction set computer”)). Por otra parte, el procesador 502 puede tener un diseño de núcleo único o de múltiples núcleos. El procesador 502 con un diseño de múltiples núcleos puede integrar diferentes tipos de núcleos de procesador en la misma pastilla u oblea de circuito integrado (IC –“integrated circuit”). También, los procesadores 502 con un diseño de múltiples núcleos pueden ser implementados como multi-procesadores simétricos o asimétricos. En una realización, uno o más de los procesadores 502 pueden utilizar las realizaciones que se explican con referencia a las Figuras 1-4. Por ejemplo, uno o más de los procesadores 502 pueden incluir uno o más núcleos de procesador (300). Asimismo, las operaciones explicadas con referencia a las Figuras 1-4 pueden llevarse a cabo por uno o más de los componentes del sistema 500.

Un conjunto de chips 506 puede comunicarse también con la red de interconexión 504. El conjunto de chips 506 puede incluir un dispositivo centralizador de control de memoria (MCH –“memory control hub”) 508. El MCH 508 puede incluir un controlador de memoria 510 que se comunica con una memoria 512. La memoria 512 puede almacenar datos y secuencias de instrucciones que son ejecutadas por la CPU 502 ó por cualquier otro dispositivo incluido en el sistema de computación 500. En una realización de la invención, la memoria 513 puede incluir uno o más dispositivos de almacenamiento volátil (o memorias), tales como una memoria de acceso aleatorio (RAM –“random access memory”), una RAM dinámica (DRAM), una DRAM síncrona (SDRAM), una RAM estática (SRAM) o similares. Puede utilizarse también

memoria no volátil, tal como un disco duro. Pueden comunicarse dispositivos adicionales a través de la red de interconexión 504, tales como múltiples CPUs y/o múltiples memorias de sistema.

El MCH 508 puede incluir también una interfaz de gráficos 514 que se comunica con un acelerador de gráficos 516. En una realización de la invención, la interfaz de gráficos 514 puede comunicarse con el acelerador de gráficos 516 a través de un acceso o puerta de gráficos acelerados (AGP –“accelerated graphics port”). En una realización de la invención, un dispositivo de presentación visual 10 (tal como un dispositivo de presentación visual de panel plano) puede comunicarse con la interfaz de gráficos 514 a través de, por ejemplo, un convertidor de señal que traduce una representación digital de una imagen almacenada en un dispositivo de almacenamiento tal como una memoria de vídeo o una memoria de sistema, en señales de presentación 15 visual que son interpretadas y presentadas visualmente por el dispositivo de presentación visual. Las señales de presentación visual producidas por el dispositivo de presentación visual pueden pasar a través de diversos dispositivos de control antes de ser interpretadas por el dispositivo de presentación visual y subsiguiente presentadas visualmente en éste.

Una interfaz 518 de dispositivo centralizador puede permitir al MCH 508 comunicarse con un dispositivo centralizador de control de entrada salida (ICH –“input/output control hub”) 520. El ICH 520 puede proporcionar una interfaz a los dispositivos de E/S (entrada / salida – “I/O”) que se comunican con los componentes del sistema de computación 500. El ICH 520 puede comunicarse con un bus 522 a través de un puente o pasarela periférica (o controlador) 524, tal como una pasarela de interconexión de componentes periféricos (PCI –“peripheral component interconnect”), un controlador de bus en serie universal (USB –“universal serial bus”), o similar. La pasarela 524 puede proporcionar 25 un camino de datos entre la CPU 502 y los dispositivos periféricos. Pueden utilizarse otros tipos de topologías. Asimismo, pueden comunicarse múltiples buses con el ICH 520, por ejemplo, a través de múltiples pasarelas o controladores. Por otra parte, otros periféricos en comunicación con el ICH 520 pueden incluir, en diversas realizaciones 30 de la invención, electrónica de accionamiento intergrada (IDE – “integrated drive electronics”) o un dispositivo o dispositivos de

accionamiento de disco duro de interfaz de sistema informático pequeño (SCSI –“small computer system interface”), puerta(s) de USB, un teclado, un ratón, puertas en paralelo, puertas en serie, un dispositivo o dispositivos de accionamiento de disco flexible, soporte de salida digital 5 (por ejemplo, una interfaz de video digital (DVI –“digital video interface”), o similares.

El bus 522 puede comunicarse con un dispositivo de audio 526, con uno o más dispositivos de accionamiento de disco 528 y con un dispositivo de interfaz de red 530 (que se comunica con la red 10 informática 503). Pueden estar en comunicación otros dispositivos con el bus 522. Asimismo, puede haber diversos componentes (tales como el dispositivo de interfaz de red 530) en comunicación con el MCH 508 en algunas realizaciones de la invención. Además, el procesador 502 y el MCH 508 pueden combinarse para formar un único chip o circuito 15 integrado. Por otra parte, el acelerador de gráficos 516 puede estar incluido en el MCH 508 en otras realizaciones de la invención.

Por otra parte, el sistema informático 500 puede incluir memoria (o almacenamiento) volátil y/o no volátil. Por ejemplo, la memoria no volátil puede incluir uno o más de los elementos que siguen: 20 memoria de sólo lectura (ROM –“read only memory”), ROM programable (PROM –“programmable ROM”), PROM susceptible de ser borrada (EPROM –“erasable PROM”), EEPROM susceptible de ser borrada eléctricamente (EEPROM –“electrically EEPROM”), un dispositivo de accionamiento de disco (por ejemplo, el 528), un disco flexible, una 25 ROM de disco compacto (CD-ROM –“compact disk ROM”), un disco versátil digital (DVD –“digital versatile disk”), memoria tipo “flash” o susceptible de refrescarse por impulsos, un disco magneto-óptico u otros tipos de medios no volátiles, legibles por una máquina y que sean capaces de almacenar instrucciones y/o datos electrónicos.

30 La Figura 6 ilustra un sistema de computación 600 que está dispuesto en una configuración de punto a punto (PtP –“point-to-point”), de acuerdo con una realización de la invención. En particular, la Figura 6 muestra un sistema en el que se encuentran interconectados procesadores, memoria y dispositivos de entrada / salida por medio de un 35 cierto número de interfaces de punto a punto. Las operaciones que se explican con referencia a las Figuras 1-5 pueden ser llevadas a cabo por

uno o más componentes del sistema 600.

Como se ha ilustrado en la Figura 6, el sistema 600 puede incluir varios procesadores, de los cuales tan solo se muestran dos, los procesadores 602 y 604, en aras de la claridad. Los procesadores 602 y 5 604 pueden incluir, cada uno de ellos, un dispositivo centralizador y controlador de memoria (MCH –“memory central hub”) local, 606 y 608, destinado a hacer posible la comunicación con las memorias 610 y 612. Las memorias 610 y/o 612 pueden almacenar datos diversos, tales como los que se explican con referencia a la memoria 512.

10 Los procesadores 602 y 604 pueden ser cualquier tipo de procesador, tal como los que se explican con referencia a los procesadores 502 de la Figura 5. Los procesadores 602 y 604 pueden intercambiar datos a través de una interfaz de punto a punto (PtP) 614, con el uso, respectivamente, de unos circuitos de interfaz de PtP 616 y 15 618. Los procesadores 602 y 604 pueden, cada uno de ellos, intercambiar datos con un conjunto de chips 620 a través de unas interfaces de PtP individuales 622 y 624, con el uso de unos circuitos de interfaz de punto a punto 626, 628, 630 y 632. El conjunto de chips 620 puede también 20 intercambiar datos con un circuito de gráficos de alto rendimiento 624 a través de una interfaz de gráficos de alto rendimiento 636, mediante el uso de un circuito de interfaz de PtP 637.

Al menos una realización de la invención puede dotarse de los procesadores 602 y 604. Por ejemplo, pueden situarse uno o más de los dominios 102 explicados haciendo referencia a la Figura 1, y/o el 25 (los) núcleo(s) de procesador 300, dentro de los procesadores 602 y 604. Pueden darse, sin embargo, otras realizaciones de la invención en otros circuitos, unidades lógicas o dispositivos comprendidos dentro del sistema 600 de la Figura 6. Por otra parte, otras realizaciones de la invención pueden disponerse distribuidas a través de los diversos 30 circuitos, unidades lógicas o dispositivos que se ilustran en la Figura 6.

El conjunto de chips 620 puede comunicarse con un bus 640 mediante el uso de un circuito de interfaz de PtP 641. El bus 640 puede tener uno o más dispositivos en comunicación con él, tales como un puente o pasarela de bus 642 y dispositivos de E/S 643. A través de un 35 bus 644, la pasarela de bus 643 puede estar en comunicación con otros dispositivos, tales como un teclado / ratón 645, dispositivos de

comunicación 646 (tales como módems, dispositivos de interfaz de red, etc., que puedan estar en comunicación con la red informática 503), un dispositivo de E/S de audio y/o un dispositivo 648 de almacenamiento de datos. El dispositivo 648 de almacenamiento de datos puede almacenar 5 un código 649 que puede llevarse a cabo o ejecutarse por los procesadores 602 y/o 604.

En diversas realizaciones de la invención, las operaciones que se han explicado aquí, por ejemplo, con referencia a las Figuras 1-6, pueden llevarse a la práctica o implementarse por medio de hardware 10 (por ejemplo, circuitos), software, "firmware" o software instalado fijamente en el hardware, micro-código, o bien combinaciones de los mismos, los cuales pueden proporcionarse en forma de producto de programa informático, por ejemplo, que incluya un medio legible por una máquina o legible por una computadora y que tenga almacenadas en él 15 instrucciones (o procedimientos de software) que se utilicen para programar una computadora para que lleve a cabo un procedimiento que se explica aquí. Asimismo, el término "lógica" puede incluir, a modo de ejemplo, software, hardware o combinaciones de software y hardware. El medio legible por una máquina puede incluir un dispositivo de 20 almacenamiento tal como los que se han explicado aquí con respecto a las Figuras 1-6. Adicionalmente, dicho medio legible por una computadora puede descargarse en forma de un producto de programa informático, de tal manera que el programa puede ser transferido desde una computadora distante (por ejemplo, un servidor) a una computadora 25 que lo solicite (por ejemplo, un cliente), por medio de señales de datos incorporadas en una onda portadora u otro medio de propagación a través de un enlace de comunicación (por ejemplo, un bus, un módem o una conexión de red). En consecuencia, se considerará aquí que una onda portadora comprende un medio legible por una máquina.

La referencia en la memoria a "una de las realizaciones" o a 30 "una realización" significa que puede estar incluido en al menos una implementación un rasgo, estructura o característica particular que se ha descrito en relación con la realización. Las apariciones de la expresión "en una realización" en diversos lugares de la memoria pueden referirse 35 o no todas ellas a la misma realización.

Asimismo, en la descripción y en las reivindicaciones

pueden utilizarse los términos “acoplado” y “conectado” conjuntamente con sus derivados. En algunas realizaciones de la invención, puede utilizarse “conectados” para indicar que dos o más elementos se encuentran en contacto directo, físico o eléctrico, entre sí. “Acoplados” 5 puede significar que dos o más elementos se encuentran en contacto directo, físico o eléctrico. Sin embargo, “acoplados” puede significar también que dos o más elementos pueden no estar en contacto directo unos con otros, pero aún pueden cooperar o interactuar entre sí.

Así pues, si bien se han descrito realizaciones de la 10 invención con un lenguaje específico de los rasgos o características estructurales y/o acciones metodológicas, ha de comprenderse que la materia objeto que se reivindica puede no estar limitada a las características o acciones específicas descritas. En lugar de ello, las características y acciones específicas se describen como formas a modo 15 de muestra de la implementación de la materia objeto reivindicada.

REIVINDICACIONES

1. Un aparato que comprende:
 - una primera lógica (202) para generar una primera señal correspondiente a uno o más valores de temperatura detectados; y
 - una segunda lógica (204, 252) para generar una segunda señal correspondiente a uno o más valores de tensión; y
 - una tercera lógica (208, 254) para generar una tercera señal correspondiente a un valor de potencia de fugas basado en la primera señal y en la segunda señal.
2. El aparato de acuerdo con la reivindicación 1, que comprende adicionalmente una cuarta lógica (112), destinada a ajustar el consumo de potencia de uno o más componentes de un sistema de computación (100, 300, 500, 600) basándose en la tercera señal.
3. El aparato de acuerdo con la reivindicación 1, en el cual el uno o más valores de tensión comprenden un valor presente en ese momento de una tensión de umbral y un valor presente en ese momento de una tensión de suministro.
4. El aparato de acuerdo con la reivindicación 1, que comprende adicionalmente una cuarta lógica (206) para generar una cuarta señal correspondiente a un valor de potencia de fugas de base, de tal manera que la tercera lógica genera la tercera señal basándose en la primera señal, en la segunda señal y en la cuarta señal.
5. El aparato de acuerdo con la reivindicación 1, que comprende adicionalmente uno o más sensores de temperatura (108), destinados a detectar los valores de temperatura.
6. El aparato de acuerdo con la reivindicación 1, en el cual la tercera lógica comprende un multiplicador (208, 254), destinado a multiplicar las primera y segunda señales para proporcionar la tercera señal.

7. El aparato de acuerdo con la reivindicación 1, que comprende adicionalmente uno o más núcleos de procesador (300), de tal manera que al menos uno de los uno o más núcleos de procesador comprende una o más de entre la primera lógica, la segunda lógica y la 5 tercera lógica.

8. El aparato de acuerdo con la reivindicación 1, que comprende adicionalmente uno o más núcleos de procesador, de tal manera que al menos uno de entre los uno o más núcleos de procesador, 10 la primera lógica, la segunda lógica y la tercera lógica se encuentran en una misma pastilla u oblaea.

9. Un método que comprende:

determinar un valor (404) de regulación de escala de 15 temperatura, correspondiente a uno o más valores de temperatura detectados (402), procedentes de un dispositivo (102);

determinar un valor (404) de regulación de escala de tensión, basándose en uno o más valores de tensión correspondientes al dispositivo; y

20 regular en escala un valor de potencia de fugas de referencia (406) del dispositivo basándose en el valor de regulación de escala de temperatura y en el valor de regulación de escala de tensión, con el fin de generar una señal correspondiente a una potencia de fugas del dispositivo.

25

10. El método de acuerdo con la reivindicación 9, en el cual detectar y regular en escala se llevan a cabo durante el tiempo de funcionamiento del dispositivo.

30

11. El método de acuerdo con la reivindicación 9, en el cual determinar el valor de regulación de escala de temperatura comprende acceder a una unidad de almacenamiento (202).

35

12. El método de acuerdo con la reivindicación 9, en el cual determinar el valor de regulación de escala de tensión comprende acceder a una unidad de almacenamiento (204, 252).

13. Un sistema de computación que comprende:

una memoria (202, 206, 204, 252), destinada a almacenar una pluralidad de bits que representan una pluralidad de factores de regulación de escala;

5 una primera lógica (330) que tiene uno o más componentes para llevar a cabo una o más operaciones de computación; y

una segunda lógica (106), destinada a regular en escala un valor de potencia de fugas correspondiente a al menos uno de entre los uno o más componentes, basándose, al menos en parte, en variaciones de
10 temperatura detectadas y en uno o más de la pluralidad de factores de regulación de escala almacenados.

14. El sistema de computación de acuerdo con la reivindicación 13, que comprende adicionalmente una tercera lógica (112), destinada a
15 ajustar el consumo de potencia de al menos uno de entre los uno o más componentes, basándose en el valor de potencia de fugas regulado en escala.

15. El sistema de computación de acuerdo con la reivindicación 20 13, en el cual la segunda lógica comprende un multiplicador (208, 254) para multiplicar una primera señal correspondiente a un valor de regulación de escala de temperatura, una segunda señal correspondiente a un valor de regulación de escala de tensión, y una tercera señal correspondiente al valor de potencia de fugas de base.

25

16. El sistema de computación de acuerdo con la reivindicación 13, en el cual la pluralidad de los factores de regulación de escala almacenados comprende una pluralidad de valores de regulación de escala de temperatura y una pluralidad de valores de regulación de escala 30 de tensión.

17. El sistema de computación de acuerdo con la reivindicación 13, que comprende adicionalmente uno o más núcleos de procesador (300), de tal manera que al menos uno de los uno o más núcleos de procesador comprende una o más de entre la primera lógica, la segunda lógica y la tercera lógica.

18. El sistema de computación de acuerdo con la reivindicación 13, que comprende además uno o más núcleos de procesador (300), de tal manera que al menos uno de entre los uno o más núcleos de procesador, 5 la primera lógica, la segunda lógica y la tercera lógica están en una misma pastilla u oblea.

19. El sistema de computación de acuerdo con la reivindicación 13, en el que las una o más operaciones de computación comprenden uno 10 o más de entre el procesamiento o tratamiento de datos, el almacenamiento de datos y la comunicación de datos.

20. El sistema de computación de acuerdo con la reivindicación 13, que comprende adicionalmente un dispositivo de audio (526, 647).

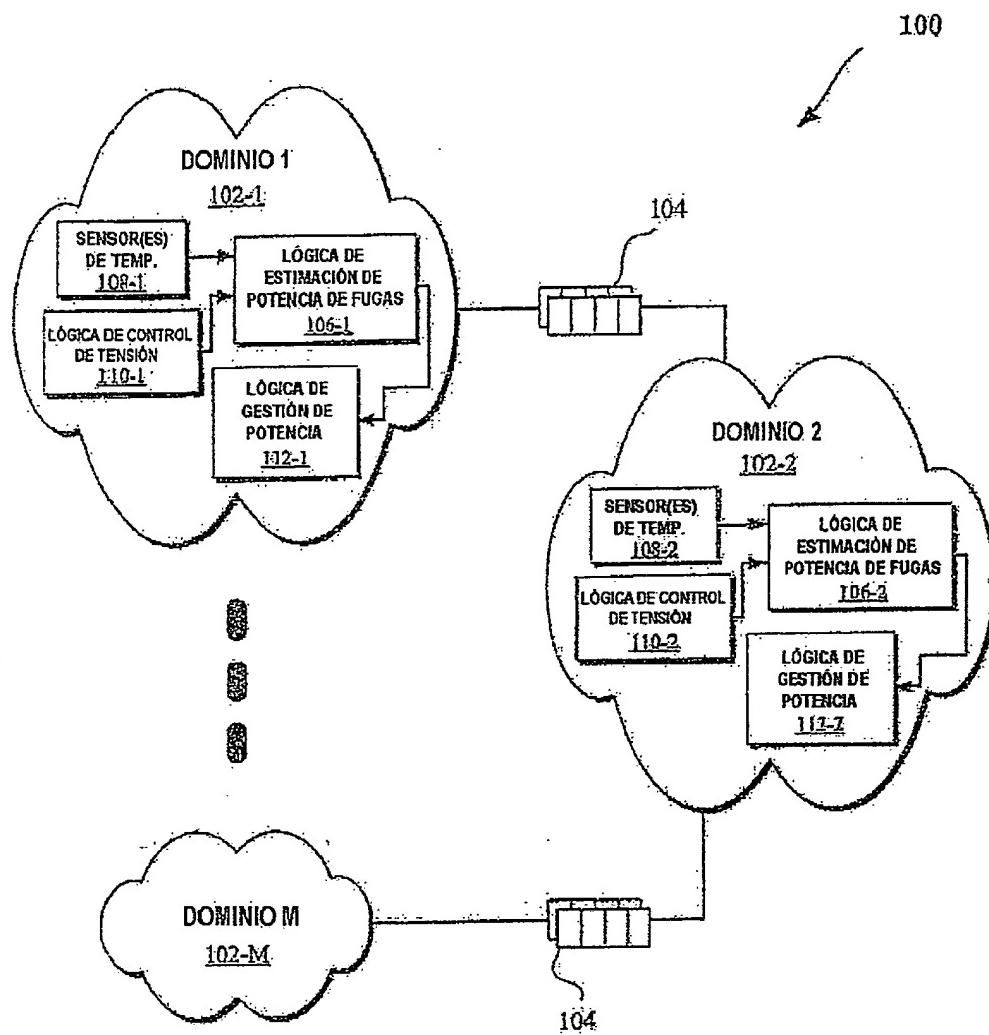


FIG. 1

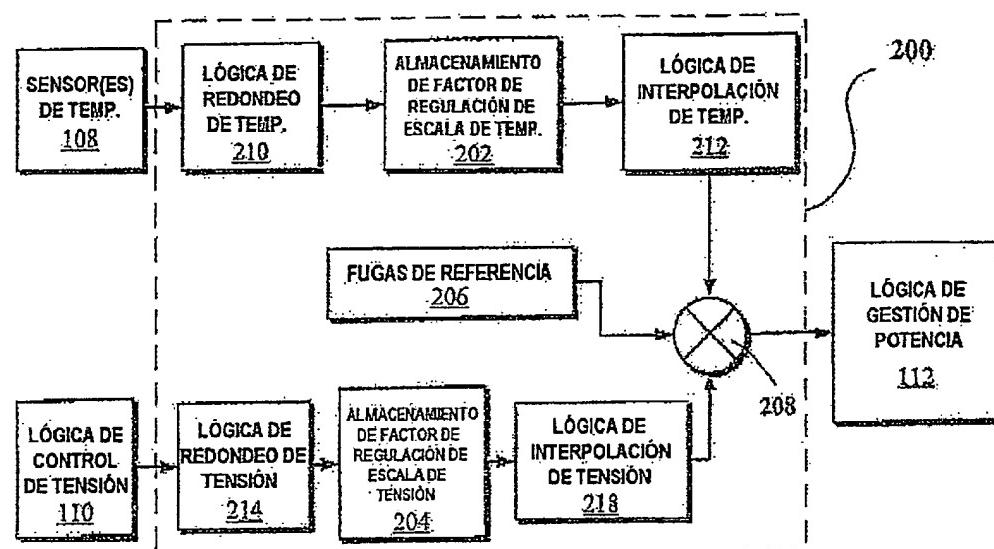


FIG. 2A

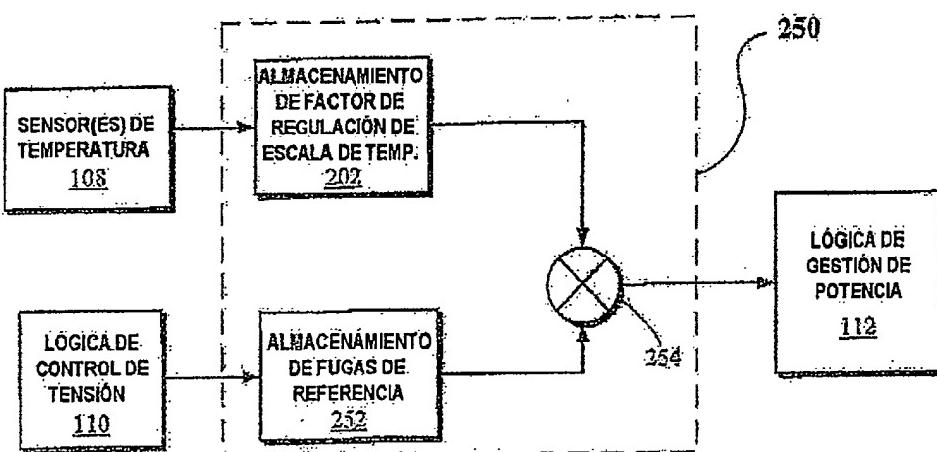


FIG. 2B

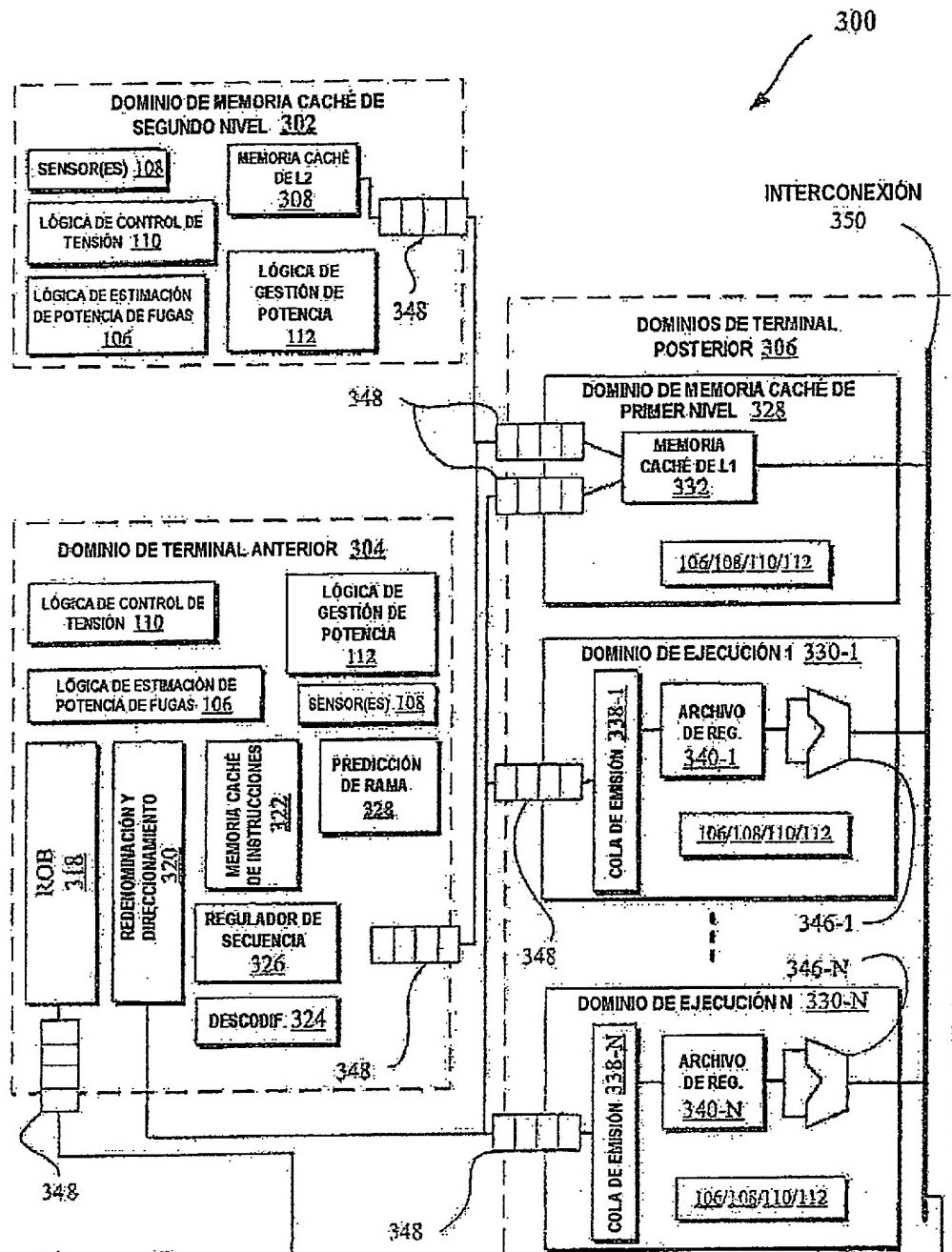


FIG. 3

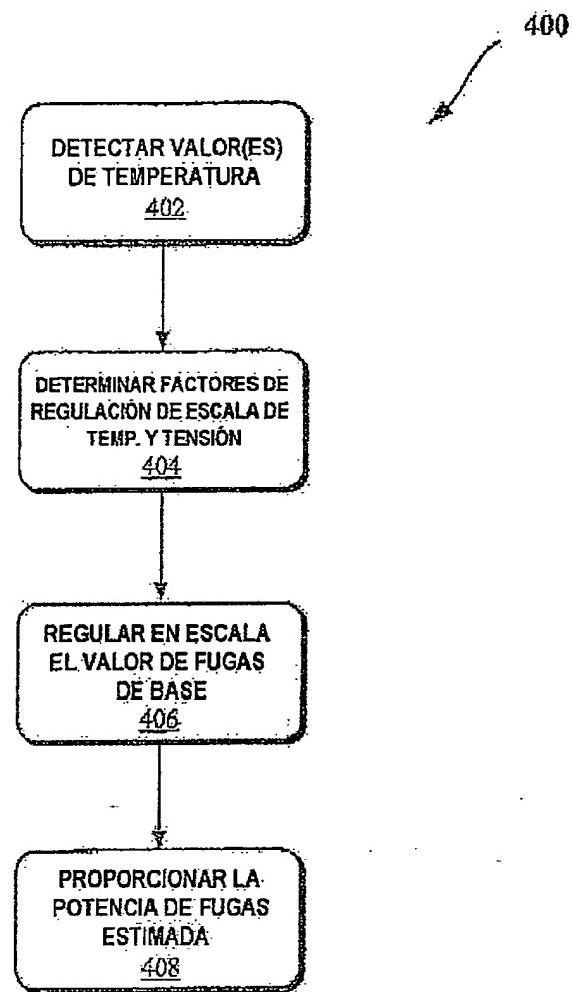


FIG. 4

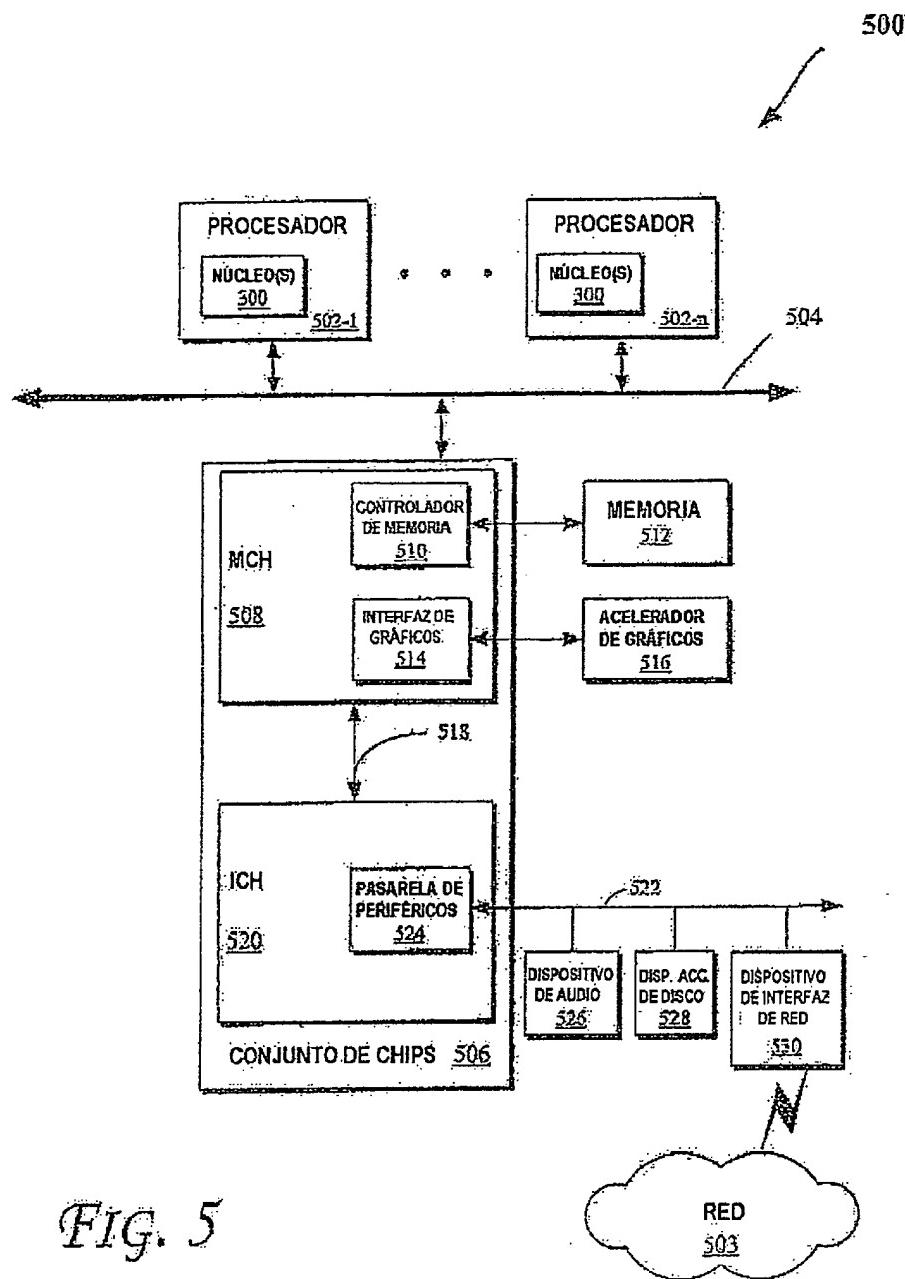


FIG. 5

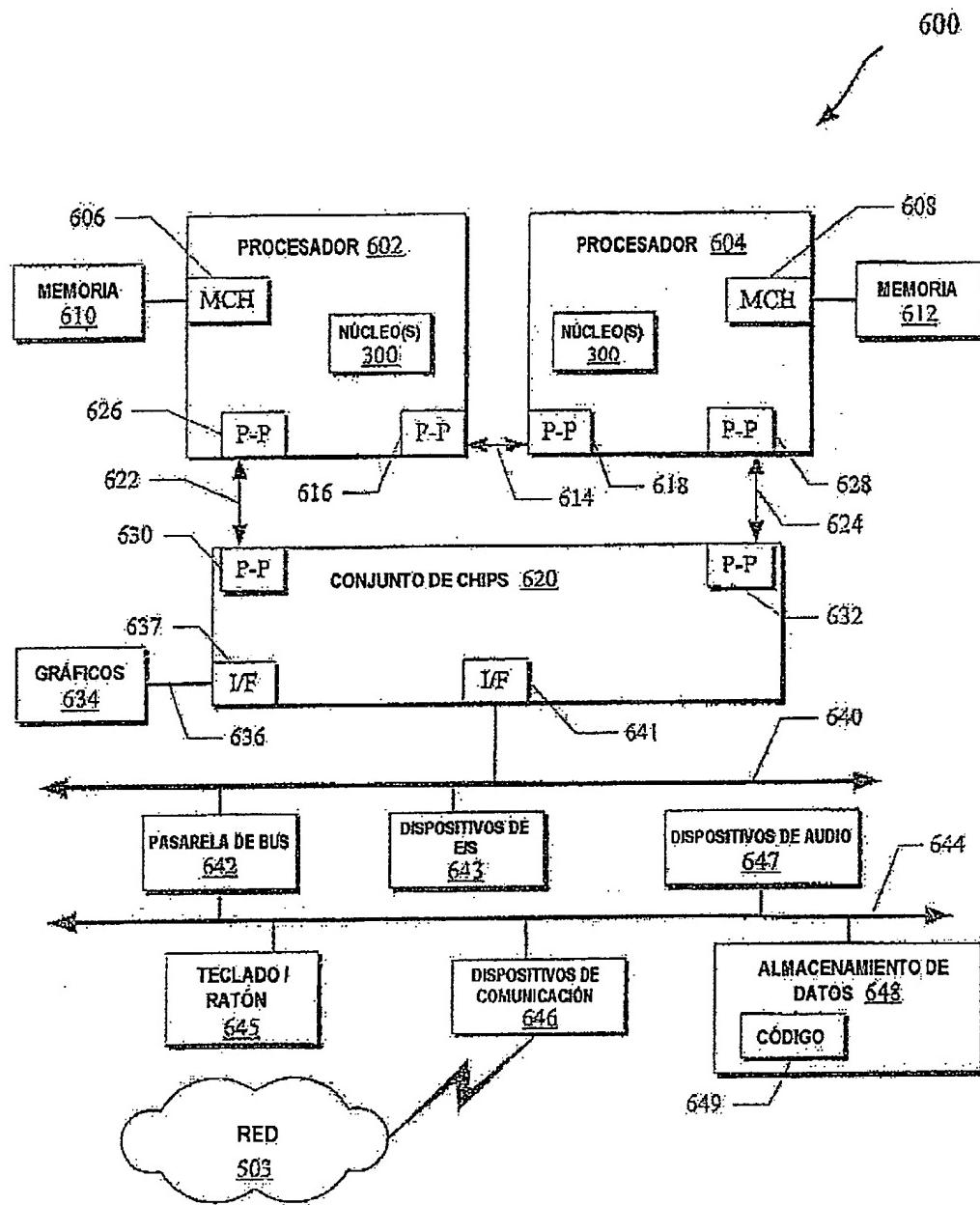


FIG. 6

INTERNATIONAL SEARCH REPORT

International application No.

PCT/ ES 2006/070093

A. CLASSIFICATION OF SUBJECT MATTER

see extra sheet

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G01R31/02, G01R21/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CIBEPAT,EPODOC,WPI

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 6842714 B1 (ACAR et al.) 11.01.2005, column 1, lines 60-67; column 2, lines 1-61; column 8, lines 9-25; column 9, lines 37,38; column 11, lines 28-36. *Todas las claims. *the wholes los images.	1-5,7,9,11-14,16,17
A	US 2004104740 A1 (BURNS et al.) 03.06.2004,	1
A	US 6809538 B1 (BORKAR et al.) 26.10.2004,	1
A	US 6518782 B1 (TURNER et al.) 11.02.2003,	1

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:	"T"	later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A"		
"E"		
"L"		document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"O"		document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other documents, such combination being obvious to a person skilled in the art
"P"		document member of the same patent family
"&"		

Date of the actual completion of the international search 12.January.2007 (12.01.2007)	Date of mailing of the international search report (26-01-2007)
Name and mailing address of the ISA/ O.E.P.M. Paseo de la Castellana, 75 28071 Madrid, España. Facsimile No. 34 91 3495304	Authorized officer Mª C. González Vasserot Telephone No. +34 91 3493087

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/ ES 2006/070093

Patent document cited in the search report	Publication date	Patent family member(s)	Publication date
US6842714 4 B	11.01.2005	NONE	-----
US 2004104740	03.06.2004	US 2004105033 US 2004104771 US 6798286 US 2004108866 US 2004189382 US 7068100 US 2005062491 US 2005130617 US 2005200406 US 2005208910	03.06.2004 03.06.2004 28.09.2004 10.06.2004 30.09.2004 27.06.2006 24.03.2005 16.06.2005 15.09.2005 22.09.2005
US 6809538	26.10.2004	US 2005052196	10.03.2005 10.03.2005 10.03.2005
US 6518782	11.02.2003	WO 0218961 AU 8915901 EP 20010968958 JP 2004507765 T	07.03.2002 13.03.2002 28.08.2001 11.03.2004 11.03.2004

INTERNATIONAL SEARCH REPORT

International application No.

PCT/ ES 2006/070093

CLASSIFICATION OF SUBJECT MATTER

G01R 31/02 (2006.01)

G01R 21/00 (2006.01)

INFORME DE BÚSQUEDA INTERNACIONAL

Solicitud internacional nº
PCT/ ES 2006/070093

A. CLASIFICACIÓN DEL OBJETO DE LA SOLICITUD

Ver hoja adicional

De acuerdo con la Clasificación Internacional de Patentes (CIP) o según la clasificación nacional y CIP.

B. SECTORES COMPRENDIDOS POR LA BÚSQUEDA

Documentación mínima buscada (sistema de clasificación seguido de los símbolos de clasificación)

G01R31/02, G01R21/00

Otra documentación consultada, además de la documentación mínima, en la medida en que tales documentos formen parte de los sectores comprendidos por la búsqueda

Bases de datos electrónicas consultadas durante la búsqueda internacional (nombre de la base de datos y, si es posible, términos de búsqueda utilizados)

CIBEPAT,EPODOC,WPI

C. DOCUMENTOS CONSIDERADOS RELEVANTES

Categoría*	Documentos citados, con indicación, si procede, de las partes relevantes	Relevante para las reivindicaciones nº
X	US 6842714 B1 (ACAR et al.) 11.01.2005, Columna 1, líneas 60-67; Columna 2, líneas 1-61; Columna 8, líneas 9-25; Columna 9, líneas 37,38; Columna 11, líneas 28-36. *Todas las reivindicaciones. *Todos los dibujos.	1-5,7,9,11-14,16,17
A	US 2004104740 A1 (BURNS et al.) 03.06.2004,	1
A	US 6809538 B1 (BORKAR et al.) 26.10.2004,	1
A	US 6518782 B1 (TURNER et al.) 11.02.2003,	1

En la continuación del Recuadro C se relacionan otros documentos Los documentos de familias de patentes se indican en el Anexo

* Categorías especiales de documentos citados:	"T"	documento ulterior publicado con posterioridad a la fecha de presentación internacional o de prioridad que no pertenece al estado de la técnica pertinente pero que se cita por permitir la comprensión del principio o teoría que constituye la base de la invención.
"A" documento que define el estado general de la técnica no considerado como particularmente relevante.		
"E" solicitud de patente o patente anterior pero publicada en la fecha de presentación internacional o en fecha posterior.	"X"	documento particularmente relevante; la invención reivindicada no puede considerarse nueva o que implique una actividad inventiva por referencia al documento aisladamente considerado.
"L" documento que puede plantear dudas sobre una reivindicación de prioridad o que se cita para determinar la fecha de publicación de otra cita o por una razón especial (como la indicada).		documento particularmente relevante; la invención reivindicada no puede considerarse que implique una actividad inventiva cuando el documento se asocia a otro u otros documentos de la misma naturaleza, cuya combinación resulta evidente para un experto en la materia.
"O" documento que se refiere a una divulgación oral, a una utilización, a una exposición o a cualquier otro medio.	"Y"	documento que forma parte de la misma familia de patentes.
"P" documento publicado antes de la fecha de presentación internacional pero con posterioridad a la fecha de prioridad reivindicada.	"&"	

Fecha en que se ha concluido efectivamente la búsqueda internacional. 12.Enero.2007 (12.01.2007)	Fecha de expedición del informe de búsqueda internacional 26 enero 2007 (26-01-2007)
Nombre y dirección postal de la Administración encargada de la búsqueda internacional Paseo de la Castellana, 75 28071 Madrid, España. Nº de fax 34 91 3495304	Funcionario autorizado Mª C. González Vasserot Nº de teléfono +34 91 3493087

INFORME DE BÚSQUEDA INTERNACIONAL

Información relativa a miembros de familias de patentes

Solicitud internacional n°

PCT/ ES 2006/070093

Documento de patente citado en el informe de búsqueda	Fecha de publicación	Miembro(s) de la familia de patentes	Fecha de publicación
US6842714 4 B	11.01.2005	NINGUNO	-----
US 2004104740	03.06.2004	US 2004105033 US 2004104771 US 6798286 US 2004108866 US 2004189382 US 7068100 US 2005062491 US 2005130617 US 2005200406 US 2005208910	03.06.2004 03.06.2004 28.09.2004 10.06.2004 30.09.2004 27.06.2006 24.03.2005 16.06.2005 15.09.2005 22.09.2005
US 6809538	26.10.2004	US 2005052196	10.03.2005 10.03.2005 10.03.2005
US 6518782	11.02.2003	WO 0218961 AU 8915901 EP 20010968958 JP 2004507765 T	07.03.2002 13.03.2002 28.08.2001 11.03.2004 11.03.2004

INFORME DE BÚSQUEDA INTERNACIONAL

Solicitud internacional nº

PCT/ ES 2006/070093

CLASIFICACIÓN DEL OBJETO DE LA SOLICITUD

G01R 31/02 (2006.01)

G01R 21/00 (2006.01)